

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163420

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 25/10
H01L 25/11
H01L 25/18
H01L 25/065
H01L 25/07

(21)Application number : 10-007207

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.01.1998

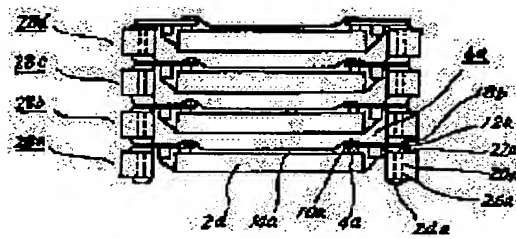
(72)Inventor : SAKAGUCHI MASARU
NISHI KUNIHICO
KANEDA AIZO
SERIZAWA KOJI
HONDA MICHIHARU
YOSHIDA TORU
TANIMOTO MICHIO

(54) MULTI-CHIP SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a package structure which has a memory capacity of a plurality of times of that of a conventional package with respect to an identical mounting area, and also, in particular, to provide a package assembly, if a plurality of packages (memories) is stacked together, which can select some of the packages to be operated.

SOLUTION: In the package assembly, a plurality of semiconductor modules 28a to 28d to be electrically connected with semiconductor chips 2a are stacked through spacers 20a and are electrically connected therebetween to form a plurality of electrodes. In this case, the configurations of connection patterns for electrical connection with the electrodes are made different for the respective semiconductor modules, and the electrodes for electrical connection with the different configurations of connection patterns are formed as chip select electrodes for the semiconductor chips 2a to be electrically connected with the connection patterns.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163420

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.^a

識別記号

F I

H 0 1 L 25/10
25/11
25/18
25/065
25/07H 0 1 L 25/14
25/08Z
Z

審査請求 有 請求項の数 1 O L (全 11 頁)

(21) 出願番号 特願平10-7207
(62) 分割の表示 特願平8-244459の分割
(22) 出願日 昭和63年(1988) 6月8日(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 坂口 勝
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72) 発明者 西 邦彦
東京都小平市水本町1450番地 株式会社日
立製作所武蔵工場内
(72) 発明者 金田 愛三
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(74) 代理人 弁理士 小川 勝男

最終頁に続く

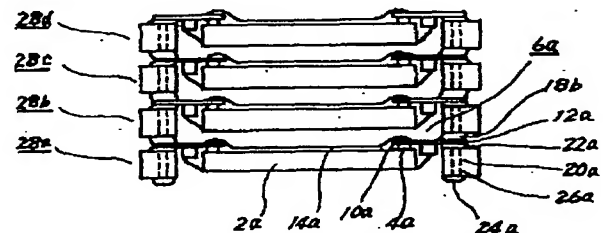
(54) 【発明の名称】 マルチチップ半導体装置

(57) 【要約】

【目的】本発明の目的は、上記課題を取り除き、従来のパッケージと同じ実装面積に対して、複数倍のメモリ容量を有するパッケージ構造を提供することにある。特に、複数個のパッケージ(メモリ)を積層した場合に、動作すべきパッケージを選択することが可能なパッケージ構造を提供することにある。

【構成】本発明は、上記目的を達成するために、半導体チップと電気的に接続する半導体モジュールをスペーサを介して複数個積み重ね、該半導体モジュール間を電気的に接続して複数個の電極を形成したマルチチップ半導体装置であって、該半導体チップと該電極とを電気的に接続する接続パターンのパターン形状を該半導体モジュール毎に異ならせて形成し、該異なるパターン形状の接続パターンと電気的に接続する電極を該異なるパターン形状の接続パターンと電気的に接続する該半導体チップのチップセレクト用電極として構成したものである。

図 1



(2)

特開平10-163420

【特許請求の範囲】

【請求項1】半導体チップと電氣的に接続する半導体モジュールをスペーサを介して複数個積み重ね、該半導体モジュール間を電氣的に接続して複数個の電極を形成したマルチチップ半導体装置であって、

該半導体チップと該電極とを電氣的に接続する接続パターンのパターン形状を該半導体モジュール毎に異ならせて形成し、該異なるパターン形状の接続パターンと電氣的に接続する電極を該異なるパターン形状の接続パターンと電氣的に接続する該半導体チップのチップセレクト用電極として構成したことを特徴とするマルチチップ半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の積層構造に係り、特に従来のICパッケージと同じ実装面積に対し複数倍のメモリ容量を有する大容量マルチチップ半導体装置の構造に関する。

【0002】

【従来の技術】半導体メモリは、大型コンピュータを始めパソコン、ワープロ、ワークステーション、ファクシミリ等のOA機器からデジタルVTR、TV等の映像機器に至るまで広範囲に使用されており、今後これらの機器の発展はさらに進むことからここに使われる半導体メモリの需要は加速度的に増大していくと予想される。これと平行して、半導体メモリの製造においてはメモリの高密度化による1チップ当りのメモリ容量を増加させる努力が続けられており、チップ内のメモリ容量は3年に4倍の割合で増大して、現在は1Mbit DRAMが量産、4Mbit DRAMがサンプル出荷、16MDRAMが試作段階にある。しかし、チップの大容量化に対しては、基本技術及び製造プロセス上の種々の問題が多く、特に現在の1Mbitから4Mbitへの移行に対しては新しいメモリセルの開発、サブミクロン配線技術、パッケージング技術等の開発に膨大な費用を必要としている。

【0003】従来、メモリ用途のパッケージは、リードフレームのタブ上にチップを搭載し、内部リード先端とチップのボンディングパッドとをワイヤボンディングして結線し、レジンモールドしてなるプラスチックパッケージが主流である。

【0004】パッケージ形態はメモリ容量が256Kbitを境にして、これより以前はDIP (Dual in line Package) が主流であったが、その後高密度実装の要求が強くなり、実装面積をDIPより小さくしたSOJ (small outline J-lead package)、ZIP (zigzag in-line package) に移ってきている。

【0005】ここでDIPとは、パッケージ長辺2方向

にリードを2列にはり出し、このリードをパッケージ下方に折り曲げ形のもので、リードをプリント板のスルーホールに挿入して実装する。またZIPはパッケージ長辺一方向にリードをはり出させ、このリードを交互に折り曲げたもので、パッケージを縦形に実装したスルーホール挿入タイプである。またSOJはパッケージを長辺2方向にはり出すがリードピッチをDIPの1/2と小さくし、リードをパッケージ下方に「J」形に折り曲げてプリント板表面に直接に搭載する面実装タイプで、DIPに比べてパッケージの長手方向の縮小とプリント板への両面実装をねらったものである。

【0006】従来のパッケージについて、パッケージ形態とプリント板への実装に関し日経マイクロデバイス別冊No. 1 p 73~80及び87~89について述べられており、ここで、DIPはパッケージを横形に実装しスルーホールにリード線を挿入することから両面実装が出来ず実装効率はよくない。これに対し、ZIPは縦形にした分DIPより高密度実装が可能である。すなわちDIPのリード列間の寸法がプリント板の3格子ピッチであるのに対し、ZIPでは1格子ピッチであり、プリント板上での実装密度はDIPのほぼ2倍になる。またSOJは横形実装であるが、リードピン配置がプリント板の格子の制約を受けないこと及び両面実装ができることからDIPの2倍以上の高密度実装が図れる等の特徴がある。

【0007】

【発明が解決しようとする課題】以上述べたように従来パッケージでは、大きく3種類が使われているが、どれも1パッケージに1チップを組み込んだものでチップ側の容量が増えないかぎりパッケージ当りのメモリ容量は増大しないという欠点があった。また、パッケージ形態の違いによるプリント板への実装密度においても、2倍程度の差があるのみであり、従来パッケージでは大容量、高密度実装が難しいという問題があった。

【0008】本発明の目的は、上記課題を取り除き、従来のパッケージと同じ実装面積に対して、複数倍のメモリ容量を有するパッケージ構造を提供することにある。特に、複数個のパッケージ(メモリ)を積層した場合に、動作すべきパッケージを選択することが可能なパッケージ構造を提供することにある。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、半導体チップと電氣的に接続する半導体モジュールをスペーサを介して複数個積み重ね、該半導体モジュール間を電氣的に接続して複数個の電極を形成したマルチチップ半導体装置であって、該半導体チップと該電極とを電氣的に接続する接続パターンのパターン形状を該半導体モジュール毎に異ならせて形成し、該異なるパターン形状の接続パターンと電氣的に接続する電極を該異なるパターン形状の接続パターンと電氣的に接

続する該半導体チップのチップセレクト用電極として構成したものである。

【0010】

【作用】このように半導体チップを有する半導体モジュールを複数個、積層することにより、従来のパッケージと同じ実装面積及びパッケージ厚さで2倍のメモリ容量を有することができる。

【0011】また、半導体チップと電氣的に接続する半導体モジュールをスペーサを介して複数個積み重ね、該半導体モジュール間を電氣的に接続して複数個の電極を形成し、該半導体チップと該電極とを電氣的に接続する接続パターンと電氣的に接続する電極を該異なるパターン形状の接続パターンと電氣的に接続する該半導体チップのチップセレクト用電極として構成することができる。

【0012】すなわち、半導体チップと電極とを接続する接続パターンと電氣的に接続する電極を該異なるパターン形状の接続パターンと電氣的に接続する該半導体チップのチップセレクト用電極を容易に形成することができる。なお、電極は、半導体モジュールを単に積層して接続することで形成できるので、その電極形成は容易となる。

【0013】

【実施例】以下、本発明の一実施例を図1～図25により説明する。

【0014】図1は4個のフィルムキャリア半導体モジュール28a～28dを積み重ね電氣的に接続したマルチチップ半導体装置の断面図である。

【0015】図2は、図1に示すマルチチップ半導体装置をマザーボードに実装した状態での下から第1段目及び第2段目のフィルムキャリア半導体モジュールの接続部を拡大した断面図である。

【0016】図3は、図1に示すマルチチップ半導体装置の下から2段目のフィルムキャリア半導体モジュール28bの平面図である。

【0017】図4～図6はマルチチップ半導体装置の有するチップ選択端子部の詳細を示す斜視図で、図4は下から第2段目、図5は下から第1段目のフィルムキャリア半導体モジュール、図6はマザーボードである。図4、図5では、各半導体モジュールの接続パターンのパターン形状が異なっていることが分かる。これについては後述する。

【0018】図7は、半導体チップを4個積み重ねたマルチチップ半導体装置の各半導体チップの電氣的接続状態を示す回路ブロック図である。

【0019】まず、図1～図7におけるマルチチップ半導体装置の構成を説明する。なお、各図において同一符号は同一内容を示している。

【0020】図1及び図2において、半導体チップ2a

にはバンパ4aが形成されており、バンパ4aとフィルムキャリアテープ6aはリード部の一部であるインナーリード部10aで電氣的に接続され、またリード部の一部であるアウターリード部12aは半導体チップ2aの外側に張り出してスペーサ20aと接続されている。

【0021】スペーサ20aは、枠状に形成されており（以下、枠状に形成したスペーサを枠状スペーサと呼ぶ。）、フィルムキャリア半導体モジュール間を電氣的に接続するため、表面パターン22a、裏面パターン24a、表面パターン22aと裏面パターン24aとを電氣的に接続するスルーホール26aが形成されている。また、その表面パターン22aと前記アウターリード12aは第1接続層16aによって電氣的に接続されている。これによって、半導体チップ2aから裏面パターン24aまでは、電氣的に接続された状態となる。

【0022】なお、半導体チップ2aの上面及びインナーリード部10aを含む半導体チップ2aの側部には保護コート樹脂14aがコートしてある。

【0023】以上のような構成が、フィルムキャリア半導体モジュール28aの基本構造となる。上記において図1の最下段のフィルムキャリア半導体モジュール28aの構成について説明したが、下から第2段目、第3段目、第4段目もほぼ同様の構成である。以降各図において最下段のフィルムキャリア半導体モジュールには前記のように符号の後に「a」を、また第2段目には「b」を、第3段目には「c」を、第4段目には「d」をつけて表示する。

【0024】このフィルムキャリア半導体モジュール間については、第1段目のフィルムキャリア半導体モジュール28aの表面パターン22aと第2段目のフィルムキャリア半導体モジュール28bの裏面パターン24bとを第2接続層18bを介して電氣的に接続する。その他のフィルムキャリア半導体モジュール間も同様に接続する。また、マザーボード30の上面に形成された配線パターン32とは、最下段フィルムキャリア半導体モジュール28aの裏面パターン24aとは第3接続層34を介して電氣的に接続する。

【0025】このように複数のフィルムキャリア半導体モジュールを積層したマルチチップ半導体装置においては、マザーボードからの信号の供給を受ける、例えば、スペーサ20a～dの有する裏面パターン24a～d、スルーホール26a～d、表面パターン22a～dと、スペーサ間を接続する第1の接続層16a～d、第2の接続層18a～d等が、マルチチップ半導体装置の電極となる。

【0026】また、この電極と半導体チップとを接続する、例えば、バンパ4a～d、インナーリード10a～d、アウターリード12a～d、表面パターン22a～d等がマルチチップ半導体装置を構成するフィルムキャリア半導体モジュールの接続パターンとなる。

【0027】すなわち、フィルムキャリア半導体モジュ

ール間を電氣的に接続し、マザーボード30等の配線パターン32と電氣的に接続するものが電極となり、この電極と接続した半導体チップまでの配線が接続パターンとなる。

【0028】次に、フィルムキャリア半導体モジュールの有する配線等の詳細を図3等を用いて更に説明すると、図3において、前述のアウトリード部12aとインナーリード部10aを含む複数本のリード部は、1本のチップ選択リード線40bと、それ以外の複数本の共通リード線42bとに区分けすることができ、それぞれ半導体チップ2aと枠状スペーサ20aに形成された表面パターンとを接続している。このチップ選択リード線40は、マザーボードから送られる読み込み・書き込み動作を許可する信号を半導体チップ2aに供給するものである。そのためチップ選択リード線40は、前述の電極のうちで各フィルムキャリア半導体モジュールに固有となるチップセレクト用電極と接続している。

【0029】次に、各フィルムキャリア半導体モジュールに固有となるような、チップセレクト用電極と、該チップセレクト用電極と半導体チップとを接続する接続パターンとの一例を図4～図6を用いて説明する。

【0030】図4から分かるように、共通リード線42bは、表面パターンである共通端子パターン46bと接続している。また、チップ選択リード線40bは、チップ選択端子パターン44b、チップ選択専用パターン50b、チップ選択端子パターン44bとチップ選択専用パターン50bとを接続するパターン48bとからなる表面パターンと接続している。この場合、共通端子パターン46bと、裏面パターン52bとは、スルーホール58bを介して電氣的に接続され、同様に、チップ選択専用パターン50bと裏面パターン56bとはスルーホール60bを介して電氣的に接続されている。また、チップ選択端子パターン44bと裏面パターン54bとの間にはスルーホールは形成されていない。

【0031】これに対して、図5は、チップ選択端子パターン44aと裏面パターン54aとがスルーホール62aによって電氣的に接続した点、チップ選択端子44aとチップ選択専用パターン50aとが電氣的に絶縁した点を除き、その他は図4と同じ構成となっている。

【0032】図6は、マザーボードの配線パターンを示したものであり、図においてマザーボード30の上面にはチップ選択端子パターン64、チップ選択専用パターン66、共通端子パターン68が形成されており、それぞれの端子パターンにはライン70、72、74がつながっている。

【0033】マルチチップ半導体装置では、図6に示すマザーボード上に、図5に示すフィルムキャリア半導体モジュール、図4に示すフィルムキャリア半導体モジュールを順に積層して構成する。従って、マザーボード上のチップ選択端子パターン64、これと接続するフィル

ムキャリア半導体モジュールの裏面パターン54a、スルーホール62a、チップ選択端子パターン44aが、チップ選択リード線40aと接続する半導体チップ2a固有のチップセレクト電極となる。また、チップ選択端子パターン44a、チップ選択リード線40aが、チップセレクト電極と半導体チップ2aとを電氣的に接続する接続パターンとなる。

【0034】同様に、マザーボード上のチップ選択端子パターン66、これと接続する裏面パターン56a、スルーホール60a、チップ選択専用パターン50a、これと接続する裏面パターン56b、スルーホール60b、チップ選択専用パターン50bが、チップ選択リード線40bと接続する半導体チップ2b固有のチップセレクト電極となる。また、チップ選択端子パターン44b、チップ選択リード線40bが、チップセレクト電極と半導体チップ2bとを電氣的に接続する接続パターンとなる。

【0035】また、マザーボード上の共通端子パターン66、これと接続する裏面パターン52a、スルーホール58a、共通端子パターン46a、これと接続する裏面パターン52b、スルーホール58b、共通端子パターン46bが、それぞれの接続パターンである共通リード線42a、bを介して半導体チップ2a、bに電氣的に接続し、各フィルムキャリア半導体モジュールに共通な電極となる。

【0036】このように、それぞれのチップセレクト電極と接続する接続パターンのパターン形状を異ならせることにより、そのパターン形状の異なる接続パターンと接続するチップセレクト電極を各半導体モジュールに固有なものとして形成することができる。

【0037】また、フィルムキャリア半導体モジュールを積層することで電極を形成するので、その電極は容易に形成することができる。

【0038】すなわち、それぞれのチップセレクト電極と接続する接続パターンのパターン形状を異ならせることにより、電極の形成が容易な上、チップセレクト電極を各半導体モジュールに固有なものとして形成することができる。

【0039】このようにマルチチップ半導体装置を構成すれば、その電氣的接続状態を示す回路ブロック図は図7のようになる。

【0040】ここで、マルチチップ半導体装置における半導体メモリチップへの情報の記憶（データ入力）及び記憶されている情報の読み出し（データ出力）法について説明する。

【0041】図において半導体チップ2a、2b、2c、2dにはアドレス端子80、データ入出力端子82、ライトイネーブル端子84、アウトイネーブル端子86、電源端子88、グランド端子90、チップ選択端子92a、92b、92c、92dが電氣的につながっている。これらの端子のうち、チップ選択端子92a～

92dはそれぞれの半導体チップ2a~2dに独立して接続されているが、その他の端子は半導体チップ2a~2dに共通に接続されている。

【0042】情報の入出力は、チップ内に設定された番地単位で行われる。ある番地への情報の書き込みは、番地を指定するアドレス信号、書き込みを許可するライトイネーブル信号、記憶するデータを含むデータ信号が必要である。ところが、情報量が多くなり1個のチップでは情報を収容しきれなくなると、複数のチップを使う必要が生ずる。図7はチップ4個についての一例を示すもので、例えば1チップに100個の番地が設定できるとすれば、各チップ共0~99番地を設定しておく。このようにして今、半導体チップ2aの99番地へあるデータを書き込む動作を例にとれば、アドレス端子88には「99番地」を示す信号を、データ入出力端子82には書き込むためのデータ信号を、ライトイネーブル端子84に書き込み許可信号を印加し、同時に半導体チップ2aにつながるチップ選択端子92aにチップ選択用の信号を送ることにより、アドレス信号、データ信号、ライトイネーブル信号は4個の半導体チップ2a~2dのうち半導体チップ2aのみ有効となり、他の半導体チップ2b~2dには作用しない。すなわち、半導体チップ2aの99番地には必要なデータが書き込まれるが、他の3個の非選択半導体チップの99番地は変化しないことになる。

【0043】同様に、データの読み出しについては、読み出し許可信号用のアウトイネーブル信号が作用して、その他は書き込みと同じ接続状態でデータ入出力端子82に半導体チップ2aの99番地に記憶されているデータが出力されることになる。

【0044】なお、図7において、アドレス端子80及びデータ入出力端子82は一本のラインで示してあるが、実際の配線では複数本で構成されている。これに対しライトイネーブル端子84、アウトイネーブル端子86、電源端子88、グランド端子90及びチップ選択端子92a~92dは実際の配線ではそれぞれ各1本の場合が多い。

【0045】次に本発明になるマルチチップ半導体装置の動作を説明する。

【0046】図1~図2において半導体チップ2aは内部に記憶素子を集積化したメモリ用半導体チップであり、マザーボード30から供給される信号に応じてデータの書き込み及び読み出しを行うものである。

【0047】データの書き込み及び読み出し時の電気信号の流れは、まずマザーボード30の配線パターン32に外部から信号が供給され、第3接続層34、スペーサ20aの裏面パターン24a、スルーホール26a、表面パターン22a、第1接続層16aを経てフィルムキャリア6aのアウトリード部12a、インナリード部10a、バンパ4aを通過して第1段目の半導体チップ2

a内の素子に供給される。同様に第2段目の半導体チップ2b及び第3段目、第4段目の半導体チップ2c、2dにも同時に信号が供給される。

【0048】ここで、図4に示す、チップ選択リード線40bは図7に示すチップ選択端子92aに相当し、各半導体チップに独立に接続されるが、それ以外の複数本の共通リード線42bは同じく図7のアドレス端子80、データ入出力端子82、ライトイネーブル端子84、アウトイネーブル端子86、電源端子88、グランド端子90に相当しており、各端子に共通して接続されている。

【0049】すなわち、図4~図6に示すように、共通端子に供給される信号はマザーボード30の共通端子パターン68を経てスペーサ20aの裏面パターン52a、スルーホール58a、表面パターン46a、共通リード線42aを経て第1段目の半導体チップ2aに供給され、さらに第2段目のスペーサ20bの裏面パターン52bから共通リード線42に供給されて、前述したように各チップに同時に供給される。

【0050】これに対してチップ選択端子パターン64に供給されるチップ選択信号は、スペーサ20aの裏面パターン54a、スルーホール62a、表面パターン44a、チップ選択リード線40aを経て第1段目の半導体チップ2aに供給されるが、スペーサ20bの裏面パターン54bと表面パターン44bは電気的に接続されていないため、第2段目の半導体チップ2bには供給されない。

【0051】同様にマザーボード30のチップ選択端子パターン66に供給されるチップ選択用信号は第1段目の半導体チップ2aには供給されず、第2段目の半導体チップ2bのみに選択的に供給することができる。なお、第2段目以上のチップについても各段のスペーサに同様の回路パターンを設けることによって、独立してチップ選択が行える。

【0052】これにより、チップセレクト用電極を用いて所望の半導体チップを動作させることができ、積層したフィルムキャリア半導体モジュールに対して誤動作なくデータの書き込み・読み出しを実現することができる。

【0053】次に、他のチップセレクト用電極の一例を図11~図13に示す。

【0054】図11~図13は図4~図6と同じ位置を示したもので、同一符号は同一内容を示している。ただし、共通端子パターンについては省略している。

【0055】この特徴は、チップセレクト用電極と半導体チップとを接続する接続パターンのパターン形状を半導体チップ上で異ならせて形成した点であり、また、スペーサ20bに形成される表裏パターン及び表裏パターンを接続するスルーホール導通パターンをスペーサ20aと同じ構造で形成した点である。

【0056】このように、フィルムキャリアのアウトリード形状を40aと40bとに示すように異なる配置にすることによって、それぞれのチップセレクト電極を介して該当する半導体チップを独立に選択できる構造となっている。図10にて説明するアウトリード線折り曲げ方式はこの構造を適用することにより、容易に目的を達成することができる。

【0057】さらに他のチップセレクト用電極の一例を図14～図16に示す。

【0058】これも、チップセレクト用電極と半導体チップとを接続する接続パターンとチップ形状を半導体チップ上で異ならせて形成しているが、スペーサ20aと20bとを同じ構造とし、フィルムキャリアのアウトリード40a、40a'、40b、40b'も同じ構造とした点異なる。

【0059】すなわち、図14及び図15ではチップ選択パッド102b、102a、パッド接続ライン104b、104a及びチップ選択予備パッド106b、108b、106a、108aを形成し、第1段目の半導体チップ2aではチップ選択パッド102aとチップ選択予備パッド106aとをパッド接続ライン104aにより接続し、チップ選択予備パッド108aはチップ選択パッド102aと絶縁している。また、第2段目の半導体チップ2bではチップ選択パッド102bとチップ選択予備パッド108bとを接続し、チップ選択予備パッド106bとは絶縁している。

【0060】このような構成によってもマザーボード30のチップ選択端子64に信号が印加された時は半導体チップ2aが独立に選択でき、チップ選択端子66への信号印加に対しては半導体チップ2bが独立に選択できる。

【0061】次にその他のスペーサ形状の一例を図8、図9に示す。

【0062】これまでは、図3に示すように外形が矩形のスペーサについて説明したが、図8に示すようなフィルムキャリアのリード線配置の2面のみにスペーサを有する構造も可能である。

【0063】すなわち、図8に示すように対向して配置した第一、第二のスペーサ20b1、20b2を有する構造によっても、フィルムキャリアテープ半導体モジュールを積層することができる。

【0064】また、図1において第1段目から第4段目までの枠状スペーサを半導体チップの表裏両面位置にスペーサ部材を有しない構造として、全て同じ形状にしているが、第1段目のスペーサを図9に示すように半導体チップ2aの下面にもスペーサ部材96aを介在させたスペーサ64aとし、そのスペーサ部材のマザーボードと接続する任意の面に任意形状の配線パターン98aを形成した構造とすることもできる。すなわち、マザーボードの標準化された接続パターンと合致するパターン配置

を任意に形成できる構造である。

【0065】次に、スペーサに形成する他の表裏パターンの一例を図10に示す。

【0066】これまでは、スペーサに表裏パターンを形成し、スルーホールによってこの表裏パターンを電氣的に接続する構造について説明したが、表裏パターンの導通を図る接続用パターンとしては、フィルムキャリアのアウトリードをスペーサ表面、側面を經由して裏面に折り曲げた構造あるいは、折り曲げた表裏導通リード線を用いた構造であっても良い。図10にこの一例としてアウトリードを折り曲げて形成した接続用パターンを示す。この場合、これまでの表面パターン、裏面パターン、スルーホールは不要となる。

【0067】図10は、フィルムキャリア半導体モジュールのスペーサとアウトリードの接合部を示す断面図で、スペーサ20aには表面パターン100a、裏面パターン24aが形成されている。折り曲げられたアウトリード12aの先端と裏面パターン24aは下面接続層104aによって固定される。

【0068】以上の構造において、アウトリード12aをスペーサ20aの上面を通り、折り曲げによってスペーサ20aの側面、さらに下面に伸延させて、裏面パターン24aに接合しスペーサの表裏導通をはかっている。

【0069】さらに他のスペーサ形状の一例を図17に示す。

【0070】図17は、半導体チップ2とバンパ4を介して接続したリード部が、スペーサ110に形成されたスルーホールを電氣的に接続するように伸延したものである。すなわち、表面パターンを形成しない例である。

【0071】このリード付スペーサ110の形成には基材の片面にのみパターン用導電材の固着された基板に半導体チップ2がはまり込む孔を打ち抜いた後、他面にリードパターン形成用の導電材を前記孔部分を含めて貼り付け、この後は印刷配線板の製造プロセスを使って図17に示すような基材の一端にリードパターンを張り出させたリード付スペーサ110を形成する。

【0072】リード付スペーサ110と半導体チップ2の接合は金一金、金-金等の既に知られているインナリードボンディングの方法を用いる。本リード付スペーサを用いたフィルムキャリア半導体モジュールの積み重ねにおいては、図2に示す第1接続部16aが不要であり、組み立て工程上非常に有利となる。

【0073】なお、前記スペーサにマザーボードと同質の材料を用いることによって、マザーボードへの実装後の接続信頼性を大巾に向上させることができる。

【0074】次に本マルチチップ半導体装置の製造方法の一実施例について説明する。

【0075】製造工程の概略を図18に示す。図1、図2及び図18において、まず、パターニングしたフィル

ムキャリアテープのインナリード10aと半導体チップ2aの表面に形成したバンパ4aを位置合わせし、インナリード部のボンディングを行なう。このボンディング法は、TAB (Tape Automated Bonding) のインナリードボンディングとして一般的に知られている方法である。次いでボンディング面とチップ選択端子表面及び側面に保護コートを施す。この時点で半導体チップ2a及びボンディング部の検査を行い良否の区分けを行う。

【0076】次いでフィルムキャリアテープからフィルムキャリアモジュール6aを切り出す。これと並行して複数個のスペーサを同時形成したプリント配線板から1個のスペーサを外形切断して取り出し、前記フィルムキャリアモジュール6aと位置合わせを行って、第1接続を行い、第1接続層16を形成する。これで、図1に示すフィルムキャリア半導体モジュールの単体ができる。

【0077】次いでフィルムキャリア半導体モジュール4個を位置合わせ治具に設置した後、各フィルムキャリア半導体モジュールの裏面パターン24とアウトナリード12を接触させて端子部のみを溶融はんだ槽に浸漬して、第2接続を行う。この後、マザーボードへの接続部を残して樹脂コートを行う。

【0078】この工程図において、外形切断前のフィルムキャリアテープに外形切断したスペーサを第1接続した後、フィルムキャリアテープを切断する方法、さらに外形切断前のスペーサプリント配線板に外形切断したフィルムキャリアモジュールを第1接続する方法も可能である。

【0079】また、本実施例における第1接続は、スルーホール端子部に予め付着させておいたSn-Pb系はんだを用いたはんだを熱圧着ヘッドで加熱溶融してボンディングするはんだリフロー法を採用したが、Au-Au熱圧着 Au-Snボンディング、導電ペーストを用いた接続法等もちろん適用できる。

【0080】マルチチップ半導体装置の製造方法の第2の実施例について、図19で説明する。

【0081】図19は製造工程の概略を示すもので、特に図17に示すリード付スペーサを用いたマルチチップ半導体装置の製造方法について示している。

【0082】まず、パターンニングしたリード付スペーサのインナリードと半導体チップのバンパを接続する。この状態が、図17に示す構造である。次にチップ表面の保護コート及びボンディング部を含めたチップ全体の検査を行い良否の区分けを行って、良品のみ外形切断を行う。この後は前記図18の説明と同じ方法によって積み重ね、位置合わせ、第2接続、性能検査、樹脂コートを行ってマルチチップ半導体装置が完成する。

【0083】以下に本発明になるマルチチップ半導体装置の応用例を示す。

【0084】図20は内部にマルチチップ半導体装置1

20を包含したマルチチップモジュール122であり、端子124がモジュールの一面に配置されている。

【0085】モジュールは端子124を除く全面に樹脂コート126を施してモジュール外形を形成している。端子124は表面にAuめっき処理を施してある。本構成のマルチチップモジュールを端子124と相対する端子を有するマザーボードに押しつけ保持することにより、電子機器の記憶装置としたものである。

【0086】図21は別の応用例を示すもので、内部にマルチチップモジュール半導体装置120を包含したマルチチップモジュール128であり、マルチチップ半導体装置120は、モジュール内部で配線基板130に電気的に接続され、各信号端子は配線基板130の一端にコネクタ端子132として取り出されている。

【0087】図22は、さらに別の応用例で、コネクタ端子132をモジュール134の下方2個所に取付けたもので、多数個のマルチチップ半導体装置を積み重ねたもの、あるいは多端子を有する半導体チップに対して有利な構造である。

【0088】図23はさらに別の応用例で、従来のデュアルインラインICパッケージと同一の配置としたリードピン136を有するパッケージ基板138に、本発明になるマルチチップ半導体装置120と従来の外部取り付けになっていたコンデンサを電気的に接続したマルチチップモジュール140で、従来のパターン設計にて配線されたマザーボードに容易に取付けられる構造とした。

【0089】図24はさらに別の応用例で、リードピン144はパッケージ基板146の下面に配置した基板上に、本発明になるマルチチップ半導体装置120及びコンデンサ142を電気的に接続したマルチチップモジュール148である。

【0090】図25はさらに別の応用例で、コネクタ端子150を有する配線基板152に本発明になるマルチチップ半導体装置120とコンデンサ142を複数個電気的に接続したマルチチップモジュール154である。

【0091】図23～図25に示すマルチチップモジュールは図に示していないが、基板面に保護コート及びカバーを行って機械的な保護を行っている。

【0092】以上の応用例に示すように、本マルチチップモジュールでは搭載されるマルチチップ半導体装置が複数個の半導体チップによって形成されていることから、従来のモジュールとほぼ同じ実装面積に対して複数倍の記憶容量を有する構造であり、小形で大容量のメモリを要求される携帯用電子機器に非常に有効である。

【0093】本実施例では、フィルムキャリア半導体モジュール単体でエージング及び性能チェックを行ない、良品のみ積み重ねる方式であるため、複数個のチップを積み重ねるにもかかわらずパッケージの歩留りを高めることができる。

(8)

特開平10-163420

【0094】

【発明の効果】以上述べた如く本発明によれば、従来パッケージと同じ実装面積に対し複数倍のメモリ容量を有するパッケージ構造を得ることができる。更に、複数のパッケージを積層した場合に、動作すべきパッケージを選択することが可能なパッケージ構造を得ることができる。

【図面の簡単な説明】

【図1】本発明になるマルチチップ半導体装置の断面図。

【図2】本発明になるマルチチップ半導体装置の断面図。

【図3】本発明になるマルチチップ半導体装置の平面図。

【図4】本発明になるチップ選択端子構造の斜視図。

【図5】本発明になるチップ選択端子構造の斜視図。

【図6】本発明になるチップ選択端子構造の斜視図。

【図7】本発明になるマルチチップ半導体装置の回路ブロック図。

【図8】本発明になるスペーサ構造の平面図及び断面図。

【図9】本発明になるスペーサ構造の平面図及び断面図。

【図10】本発明になるスペーサ構造の平面図及び断面図。

【図11】本発明になるチップ選択端子構造の他の例の斜視図。

【図12】本発明になるチップ選択端子構造の他の例の斜視図。

【図13】本発明になるチップ選択端子構造の他の例の斜視図。

【図14】本発明になるチップ選択端子構造の他の例の斜視図。

【図15】本発明になるチップ選択端子構造の他の例の斜視図。

【図16】本発明になるチップ選択端子構造の他の例の斜視図。

【図17】本発明になるリード付スペーサの断面図。

【図18】本発明になるマルチチップ半導体装置の製造工程図。

【図19】本発明になるマルチチップ半導体装置の製造工程図。

【図20】本発明の応用例を示す斜視図。

【図21】本発明の応用例を示す斜視図。

【図22】本発明の応用例を示す斜視図。

【図23】本発明の応用例を示す斜視図。

【図24】本発明の応用例を示す斜視図。

【図25】本発明の応用例を示す斜視図。

【符号の説明】

本発明になるマルチチップ半導体装置の製造工程図。

2…半導体チップ、

6…フィルムキャリア、

10…インナリード、

12…アウトリード、

16…第1接続層、

18…第2接続層、

20…スペーサ、

28…フィルムキャリア半導体モジュール、

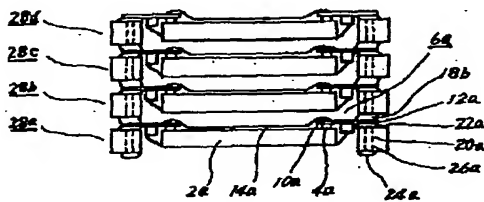
30…マザーボード、

44…チップ選択端子パターン、

110…リード付スペーサ

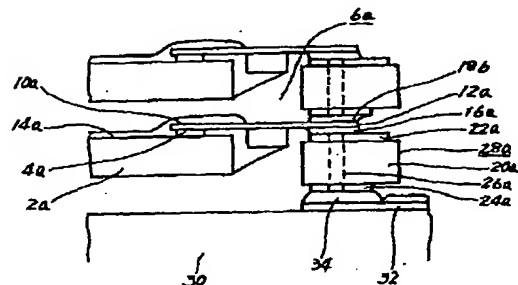
【図1】

図 1



【図2】

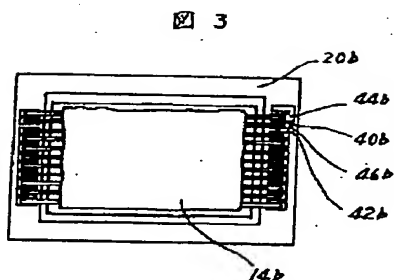
図 2



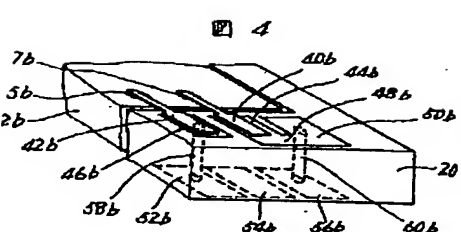
(9)

特開平 1 0 - 1 6 3 4 2 0

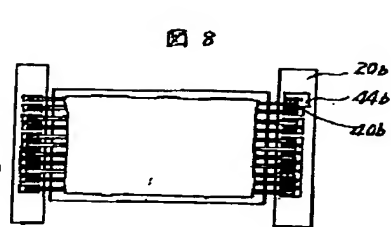
【図3】



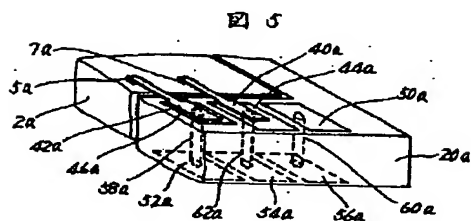
【図4】



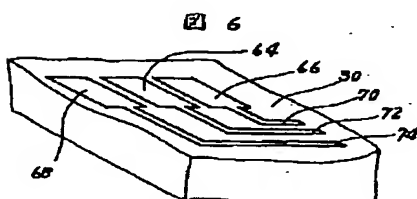
【図8】



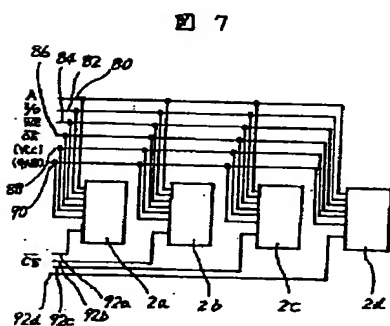
【図5】



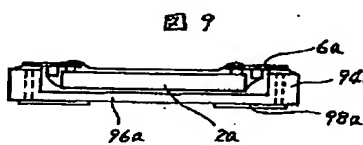
【図6】



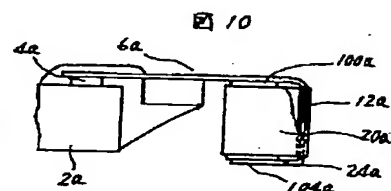
【図7】



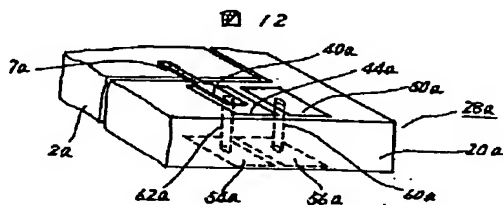
【図9】



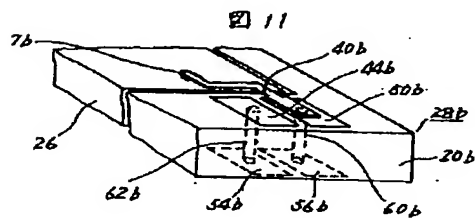
【図10】



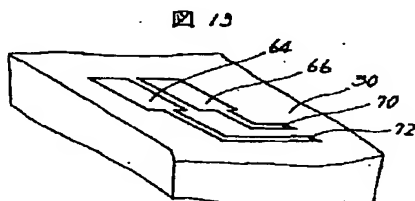
【図12】



【图 1 1】



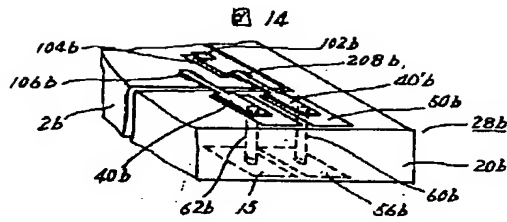
【图 13】



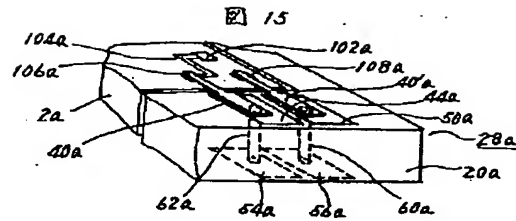
(10)

特開平10-163420

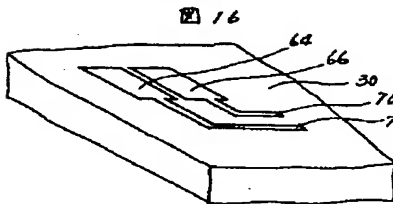
【図14】



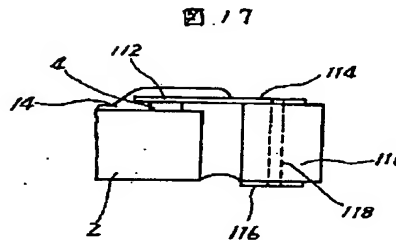
【図15】



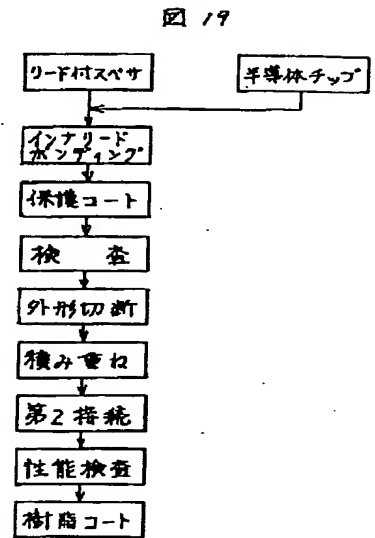
【図16】



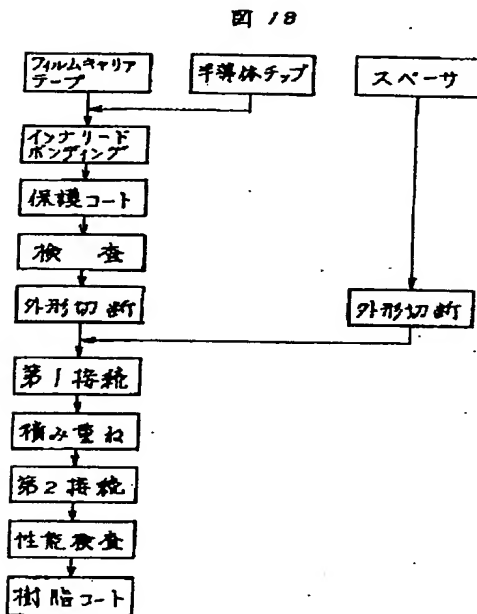
【図17】



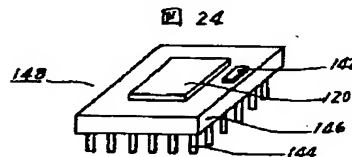
【図19】



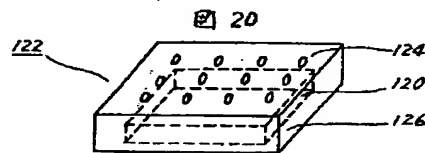
【図18】



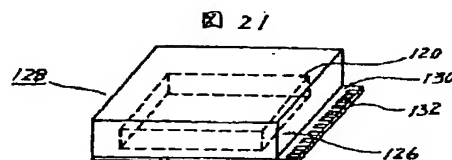
【図24】



【図20】



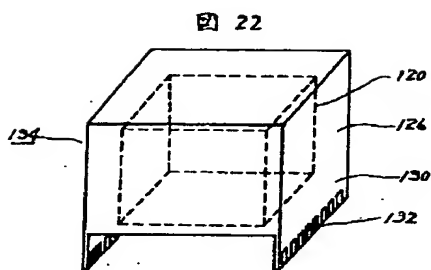
【図21】



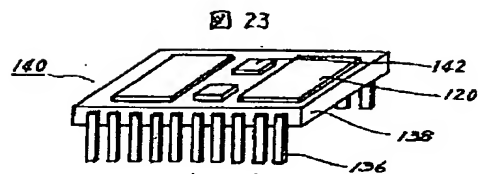
(11)

特開平10-163420

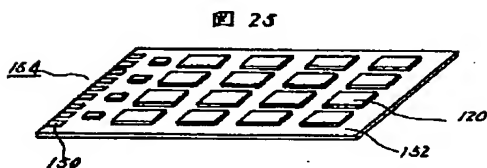
【図22】



【図23】



【図25】



フロントページの続き

(72)発明者 芹沢 弘二
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内
 (72)発明者 本田 美智晴
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内

(72)発明者 吉田 亨
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所生産技術研究所内
 (72)発明者 谷本 道夫
 東京都小平市上水本町1450番地 株式会社
 日立製作所武蔵工場内